

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-242244

(43)Date of publication of application : 07.09.1999

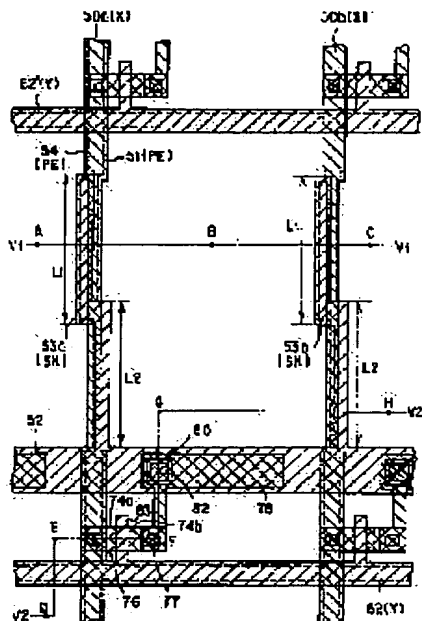
(21)Application number : 10-367203 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.12.1998 (72)Inventor : HANAZAWA YASUYUKI
NAGAYAMA KOHEI

(30)Priority

Priority	09356459	Priority	25.12.1997	Priority	JP
number :		date :		country :	

(54) LIQUID CRYSTAL DISPLAY DEVICE



(57)Abstract:

PROBLEM TO BE SOLVED: To improve the quality of display images without the need of lowering the opening ratio of a picture element and increasing the capacitive load of a signal line.

SOLUTION: This liquid crystal display device is provided with an array substrate provided with the matrix array of plural picture element electrodes PE, plural scanning lines Y formed along the row of the picture element electrodes PE, the plural signal lines X formed along the column of the picture element electrodes PE and plural thin film transistors formed near the crossing positions of the scanning lines Y and the signal lines X, a counter substrate

provided with a counter electrode facing the plural picture element electrodes PE and a liquid crystal layer held between the array substrate and the counter substrate. The array substrate is provided with plural shield electrodes 53a and 53b capacitively coupled to the adjacent picture element electrodes PE arranged between the respective two adjacent scanning lines Y and to the signal line X arranged between the adjacent picture element electrodes PE and set to a prescribed potential and the respective shield electrodes 53a are formed along the signal lines X so as to be alternately overlapped with one and the other of the adjacent picture element electrodes PE.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-242244

(43) 公開日 平成11年(1999) 9月7日

(51) Int.Cl.⁶

G 0 2 F 1/136
1/1343

識別記号

5 0 0

F I

C 0 2 F 1/136
1/1343

5 0 0

審査請求 未請求 請求項の数17 O L (全 13 頁)

(21) 出願番号 特願平10-367203

(22) 出願日 平成10年(1998)12月24日

(31) 優先権主張番号 特願平9-356459

(32) 優先日 平9(1997)12月25日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 花澤 康行

埼玉県深谷市幡羅町1丁目9番2号 株式

会社東芝深谷電子工場内

(72) 発明者 永山 耕平

埼玉県深谷市幡羅町1丁目9番2号 株式

会社東芝深谷電子工場内

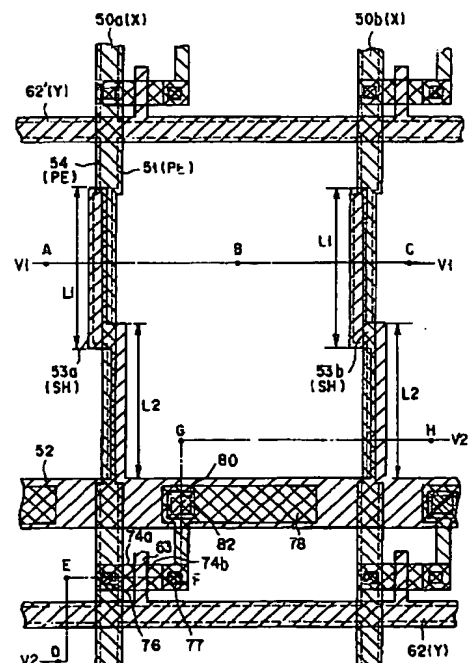
(74) 代理人 弁理士 鈴木 武彦 (外6名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】画素の開口率の低下および信号線の容量負荷の増大を必要とせずに表示画像の品質を向上する。

【解決手段】液晶表示装置は複数の画素電極P Eのマトリクスアレイ、画素電極P Eの行に沿って形成される複数の走査線Y、画素電極P Eの列に沿って形成される複数の信号線X、走査線Yおよび信号線Xの交差位置近傍に形成される複数の薄膜トランジスタを含むアレイ基板と、複数の画素電極P Eに対向する対向電極を含む対向基板と、アレイ基板および対向基板間に保持される液晶層とを備える。アレイ基板は各々2本の隣接走査線Y間に配置される隣接画素電極P Eと隣接画素電極P E間に配置される信号線Xとに容量結合して所定電位に設定される複数のシールド電極53 a、53 bを含み、各シールド電極53 aは隣接画素電極P Eの一方および他方に交互に重なるよう信号線Xに沿って形成される。



【特許請求の範囲】

【請求項1】 複数の画素電極のマトリクスアレイ、これら画素電極の行に沿って形成される複数の走査線、これら画素電極の列に沿って形成される複数の信号線、および各これら走査線および信号線の交差位置近傍に形成される複数の薄膜トランジスタを含む第1基板と、複数の画素電極に対向する対向電極を含む第2基板と、これら第1基板および第2基板間に保持される液晶層とを備え、第1基板は、各々2本の隣接走査線間に配置される2個の隣接画素電極とこれら画素電極間に配置された1本の信号線とに容量結合して所定電位に設定される複数のシールド電極を含み、各シールド電極はこれら隣接画素電極の一方および他方に交互に重なるようにこの信号線に沿って形成されることを特徴とする液晶表示装置。

【請求項2】 前記シールド電極が、前記隣接画素電極の一方側にずれた第1重畳部、並びに前記隣接画素電極の他方側にずれた第2重畳部を持つ非直線形状であることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記信号線が、前記隣接画素電極の一方側にずれた第1重畳部、並びに前記隣接画素電極の他方側にずれた第2重畳部を持つ非直線形状であることを特徴とする請求項1に記載の液晶表示装置。

【請求項4】 前記信号線が、前記シールド電極の第2重畳部と組合わされ前記隣接画素電極の一方側にずれた第1重畳部、並びに前記シールド電極の第1重畳部と組合わされ前記隣接画素電極の他方側にずれた第2重畳部を持つ非直線形状であることを特徴とする請求項2に記載の液晶表示装置。

【請求項5】 前記シールド電極は前記隣接画素電極に対する補助容量を構成するために対向電極の電位に等しく設定されることを特徴とする請求項1に記載の液晶表示装置。

【請求項6】 前記シールド電極は前記隣接走査線と平行に配置される補助容量線から延出して形成されることを特徴とする請求項5に記載の液晶表示装置。

【請求項7】 前記シールド電極は前記隣接画素電極が前記隣接走査線の一方を介して駆動される時に補助容量線として機能するよう前記対向電極の電位に設定される他方の走査線から延出して形成されることを特徴とする請求項5に記載の液晶表示装置。

【請求項8】 前記信号線は前記シールド電極と共に遮光体を構成し、前記遮光体は前記隣接画素電極の一方側において前記液晶層の液晶デスクリーニング発生領域を覆って形成されることを特徴とする請求項1に記載の液晶表示装置。

【請求項9】 前記シールド電極が、前記隣接画素電極の一方側にずれた第1重畳部、並びに前記隣接画素電極の他方側にずれた第2重畳部を持つ非直線形状であって、前記シールド電極の第1および第2重畳部の長さお

よび幅が互いに異なることを特徴とする請求項8に記載の液晶表示装置。

【請求項10】 前記信号線が、前記隣接画素電極の一方側にずれた第1重畳部、並びに前記隣接画素電極の他方側にずれた第2重畳部を持つ非直線形状であって、前記信号線の前記第1および第2重畳部の長さおよび幅が互いに異なることを特徴とする請求項8に記載の液晶表示装置。

【請求項11】 前記信号線が、前記シールド電極の第2重畳部と組合わされ前記隣接画素電極の一方側にずれた第1重畳部、並びに前記シールド電極の第1重畳部と組合わされ前記隣接画素電極の他方側にずれた第2重畳部を持つ非直線形状であって、前記信号線の前記第1および第2重畳部の長さおよび幅が互いに異なることを特徴とする請求項9に記載の液晶表示装置。

【請求項12】 前記遮光体は前記信号線およびシールド電極の組合わせにより直線状であることを特徴とする請求項11に記載の液晶表示装置。

【請求項13】 前記シールド電極は前記隣接画素電極が前記隣接走査線の一方を介して駆動される時に補助容量線として機能するよう前記対向電極の電位に設定される他方の走査線から延出して形成されることを特徴とする請求項8に記載の液晶表示装置。

【請求項14】 複数の画素電極のマトリクスアレイ、これら画素電極の行に沿って形成される複数の走査線、これら画素電極の列に沿って形成される複数の信号線、およびこれら走査線および信号線の交差位置近傍に形成される複数の薄膜トランジスタを含む第1基板と、複数の画素電極に対向する対向電極を含む第2基板と、これら第1基板および第2基板間に保持される液晶層とを備え、

第1基板は、各々2本の隣接走査線間および2個の隣接画素電極間に配置された1本の信号線に沿って形成される複数のシールド電極を含み、各シールド電極は前記隣接画素電極の間隙を透過する漏洩光を遮る遮光体を前記信号線と共に構成し、前記シールド電極はこれら隣接画素電極の一方側において前記液晶層の液晶デスクリーニング発生領域を覆って形成されることを特徴とする液晶表示装置。

【請求項15】 前記シールド電極は前記隣接走査線と平行に配置される補助容量線から延出して形成されることを特徴とする請求項14に記載の液晶表示装置。

【請求項16】 複数の画素電極のマトリクスアレイ、これら画素電極の行に沿って形成される複数の走査線、これら画素電極の列に沿って形成される複数の信号線、およびこれら走査線および信号線の交差位置近傍に形成される複数の薄膜トランジスタを含む第1基板と、複数の画素電極に対向する対向電極を含む第2基板と、これら第1基板および第2基板間に保持される液晶層とを備え、

第1基板は、各々2本の隣接走査線間および2個の隣接画素電極間に配置される1本の信号線に沿って形成される複数対の第1および第2シールド電極を含み、各対の第1および第2シールド電極は前記隣接画素電極の間隙を透過する漏洩光を遮る遮光体を前記信号線と共に構成し、前記第1シールド電極は前記隣接画素電極の一方側において前記液晶層の液晶デスクリーション発生領域を覆って形成され、前記第2シールド電極は前記隣接画素電極の他方側に形成され第1シールド電極とは異なる幅および長さで設定されることを特徴とする液晶表示装置。

【請求項17】 前記第1および第2シールド電極は前記隣接走査線と平行に配置される補助容量線から延出して形成されることを特徴とする請求項16に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は複数の画素電極が配線により区画される液晶表示装置に関する。

【0002】

【従来の技術】近年では、多数の表示画素が高密度で配列された大画面を持ち高解像度で高品質の画像を表示できる液晶表示装置を実用化するために盛んな技術開発が行われている。特にアクティブマトリクス型の液晶表示装置は透過表示型の大画面に隣接画素間クロストークを低減しながら高いコントラストの画像を表示できるという理由で注目され、他方式の液晶表示装置に比べて著しい技術の進歩が見られる。

【0003】アクティブマトリクス液晶表示装置は、図16に示すように一般に複数の画素電極のマトリクスアレイ、これら画素電極の行に沿って形成される複数の走査線、これら画素電極の列に沿って形成される複数の信号線、および各々対応走査線を介して選択されたときに対応信号線を介して供給される駆動電圧を対応画素電極に印加するスイッチング素子としてこれら走査線および信号線の交差位置近傍に形成される複数の薄膜トランジスタ(TFT)を含むアレイ基板を備える。各画素電極は対応薄膜トランジスタと共にこれら走査線および信号線で区画された領域に配置される。

【0004】ところで、この液晶表示装置の画像品質は信号線と画素電極との間の容量結合により生じる寄生容量の影響を受けやすい。この影響は、例えば画素電極および信号線に容量結合し所定電位に設定された補助容量線またはシールド電極を利用することにより抑制可能である。

【0005】

【発明が解決しようとする課題】しかし、補助容量線およびシールド電極の利用は次のような問題を招く。すなわち、補助容量線は上述の寄生容量の影響を確実に抑制できる容量値を得るために大きく形成されなくてはなら

ず、これが画素の開口率を低下させる原因となる。また、各画素電極は2本の信号線によって区画されるため、2個のシールド電極が信号線の容量負荷を著しく増大しない最小限の面積でこれら信号線に重なるようにして対称的に配置される。この構成では、各信号線の両側に位置する2個のシールド電極を図17に示すように最小配線ギャップDminにほぼ等しい距離だけ互いに離さなくてはならないため、これが画素の開口率を低下させる原因となる。

【0006】本発明の目的は、画素の開口率の低下および信号線の容量負荷の増大を必要とせずに表示画像の品質を向上できる液晶表示装置を提供することにある。

【0007】

【課題を解決するための手段】本発明は、複数の画素電極のマトリクスアレイ、これら画素電極の行に沿って形成される複数の走査線、これら画素電極の列に沿って形成される複数の信号線、および各々対応走査線を介して選択されたときに対応信号線を介して供給される駆動電圧を対応画素電極に印加するスイッチング素子としてこれら走査線および信号線の交差位置近傍に形成される複数の薄膜トランジスタを含む第1基板と、複数の画素電極に対向する対向電極を含む第2基板と、これら第1基板および第2基板間に保持される液晶層とを備え、第1基板は各々2本の隣接走査線間に配置される2個の隣接画素電極とこれら画素電極間に配置される1本の信号線とに容量結合した状態で所定電位に設定される複数のシールド電極を含み、各シールド電極はこれら隣接画素電極の一方および他方に交互に重なるようにこの信号線に沿って形成される液晶表示装置により達成される。

【0008】この液晶表示装置では、単一のシールド電極が静電遮蔽性を得るために信号線とこの信号線に隣接する2個の画素電極に重ねられることから、信号線の線幅がシールド電極間隔のような従来の制約要因を考慮せずに決定できる。さらに、シールド電極はこの信号線に沿ってこれら2個の画素電極の一方および他方に交互に重ねられるため、最小配線幅で形成することが可能となる。従って、静電遮蔽性を損うことなく信号線の容量負荷の増加を小さく抑え、信号線およびシールド電極によって遮光される面積を小さくして高い開口率を実現できる。このため、クロストークや輝度むらが低減された良好な品質の画像を表示することができる。

【0009】

【発明の実施の形態】以下、本発明の一実施形態に係るアクティブマトリクス液晶表示装置について図面を参照して説明する。

【0010】図1はアクティブマトリクス液晶表示装置に組込まれるアレイ基板の画素配線の部分的平面構造を示し、図2は図1に示すV1-V1線に沿ってアレイ基板の断面構造を示し、図3は図1に示すV2-V2線に沿って展開されたアクティブマトリクス液晶表示装置の断面構造

を示す。

【0011】図3に示すように、液晶表示装置はアレイ基板83と、このアレイ基板83に対向される対向基板87と、これらアレイ基板83および対向基板87間に保持される液晶層90とを備える。このアレイ基板83は光透過性の絶縁板60と、この絶縁板60上にマトリクス状に配置される複数の画素電極PE、これら画素電極PEの行に沿って形成される複数の走査線Yと、これら画素電極PEの列に沿って形成される複数の信号線Xと、これら走査線Yおよび信号線Xを駆動する駆動回路DRと、各々対応走査線Yを介して選択されたときに対応信号線Xを介して供給される駆動電圧を対応画素電極PEに印加するスイッチング素子としてこれら走査線Yおよび信号線Xの交差位置近傍に形成される複数の薄膜トランジスタTRと、複数の画素電極PEを全体的に覆う配向膜88とを含む。対向基板87は光透過性の絶縁板84と、複数の画素電極PEに対向するよう絶縁板84上に配置される対向電極86と、対向電極86を覆う配向膜89とを含む。液晶層90はこれらアレイ基板83の配向膜88および対向基板87の配向膜89に接触して形成される。

【0012】アレイ基板83はさらに各々対応行の画素電極PEを横切って走査線Yと平行に伸び対向電極86の電位に等しく設定される複数の補助容量線52と、各々これら補助容量線52から延出して対応信号線X並びにこの対応信号線Xに隣接する2個の画素電極PEに容量結合される複数のシールド電極SHを含む。各シールド電極SHはこれら2個の隣接画素電極PEの一方および他方に交互に重なるようにこの対応信号線に沿って形成される。

【0013】図1において参照符号53a、53bは複数のシールド電極SHのうちの隣接する2個を表し、参照符号51、54は複数の画素電極PEのうちの隣接する2個を表し、参照符号50a、50bは複数の信号線Xのうちの隣接する2本を表す。例えばシールド電極53aは画素電極54を信号線50aから静電遮蔽するために信号線50aと画素電極54の周縁部に重なる第1部分と、画素電極51を信号線50aから静電遮蔽するために画素電極51の周縁部に重なる第2部分とを含む。さらに第1部分の長さL1と第2部分の長さL2とは互いに等しく設定される。これにより、画素電極51および信号線50a間の容量結合と画素電極54および信号線50a間の容量結合とを均等に低減して、これら容量結合に対応する寄生容量の影響を最小限に抑えることができる。

【0014】図16に示すような従来の構造では、各信号線に隣接する2個のシールド電極の間隔を最小配線ギャップDminにほぼ等しい距離だけ離さなければならない。さらに信号線は2個のシールド電極に確実に重なって光漏れを防ぐよう製造プロセスで生じる合わせずれを

考慮して広い幅にしなければならない。従って、これが画素の開口率を低下させてしまう。

【0015】これに対して本実施形態の液晶表示装置では、単一のシールド電極SHが信号線Xに隣接する2個の画素電極PEに重ねられるため、信号線Xの線幅がシールド電極間隔のような従来の制約要因を考慮せずに決定できる。さらに、シールド電極SHはこの信号線Xに沿ってこれら2個の画素電極PEの一方および他方に交互に重ねられるため、最小配線幅Wminで形成することが可能となる。従って、静電遮蔽性を損うことなく高い開口率を実現することができる。

【0016】ここで、上述の液晶表示装置の製造方法について図3を参照して説明する。図3は図1に示すV2-V2線に沿って展開された液晶表示装置の断面構造を示す。

【0017】アレイ基板83の製造工程では、アモルファスシリコン(a-Si)膜が高歪点ガラス板や石英板などの光透過性絶縁板60上にCVD法などにより50nm程度の厚さで被着され、450℃で1時間炉アニールを行った後に行われるXeClエキシマレーザの照射により多結晶化される。これにより得られる多結晶シリコン膜は絶縁板60の表示領域内に配置される画素用薄膜トランジスタTRの半導体層および表示領域の外側に配置されるドライバ用薄膜トランジスタ68および71の半導体層を構成するようフォトリソ法によりパターンニングされる。続いて、100nmから150nm程度の厚さのシリコン酸化(SiO_x)膜が半導体層および絶縁板60を覆うゲート絶縁膜61を形成するためにCVD法により堆積される。

【0018】次に、走査線62(Y)、補助容量線52、画素用薄膜トランジスタTRのゲート電極63、ドライバ用薄膜トランジスタ68、71のゲート電極64、65並びにドライバ用薄膜トランジスタ68、71の配線層が形成される。これらはTa、Cr、Al、Mo、W、Cuなどの単体またはこれらを積層あるいは合金化した200nmから400nm程度の厚さの膜でゲート絶縁膜61を全体的に覆い、さらにフォトリソ法により所定の形状にパターンニングすることにより得られる。このパターンニングにより、シールド電極53a、53bについても補助容量線52と同時に所定の形状で形成される。

【0019】次に、不純物がゲート電極63、64、65をマスクとしたイオン注入処理あるいはイオンドーピング処理でドーパされる。ここでは、リンがPH₃/H₂雰囲気中において例えば加速電圧80keVで加速され、5×10¹⁵atom/cm²という高濃度のドーパ量で注入される。これにより、画素用薄膜トランジスタTRのドレイン領域66およびソース領域67並びにNチャネル型のドライバ用薄膜トランジスタ68のソース領域69およびドレイン領域70が形成される。

【0020】次に、画素用薄膜トランジスタTRおよびNチャネル型のドライバ用薄膜トランジスタ68は不純物の注入を阻止するためにレジストで被覆される。この後、不純物がPチャネル型のドライバ用薄膜トランジスタ71のゲート電極64をマスクとしてドーパされる。ここでは、ボロンが、 B_2H_6/H_2 雰囲気中において加速電圧80keVで加速され、 5×10^{15} atom/cm²という高濃度のドーパ量で注入される。これにより、Pチャネル型のドライバ用薄膜トランジスタ71のソース領域72とドレイン領域73が形成される。この後、さらに不純物がNチャネル型LDD(Lightly Doped Drain)74a, 74b, 74c, 74dを形成するために注入され、基板のアニールングにより活性化される。

【0021】さらに、例えばPECVD法を用いて絶縁板の全面にSiO₂の層間絶縁膜75を500nmから700nm程度の厚さで被着する。続いて、フォトリソ処理が画素用薄膜トランジスタTRのドレイン領域66およびソース領域67を露出させるコンタクトホール76と、ドライバ用薄膜トランジスタ68, 71のソース領域69, 72およびドレイン領域70, 73を露出させるコンタクトホール77を形成するために行われる。

【0022】次に、信号線50a, 50b、画素用薄膜トランジスタTRのドレイン領域66および信号線50a間に接続されるドレイン電極、およびソース領域67に接続され補助容量素子の上部電極78を構成するソース電極、およびドライバ用薄膜トランジスタ71, 68の配線層が形成される。これらはTa, Cr, Al, Mo, W, Cuなどの単体またはこれらを積層あるいは合金化した500nmから700nm程度の厚さの膜で層間絶縁膜75を全体的に覆い、さらにフォトリソ法により所定の形状にパターニングすることにより得られる。この後、SiNxの透明保護絶縁膜79がPECVD法により絶縁板の全面を覆って形成され、コンタクトホール80がフォトリソ法により補助容量素子の上部電極78を露出するように形成される。

【0023】次に、有機絶縁膜81が2μmから4μmの厚さで保護絶縁膜79に全体的に塗布され、コンタクトホール82が補助容量素子の上部電極78を露出するように形成される。

【0024】最後に、画素電極51(PE)が、スパッタ法により100nm程度の厚さだけITOのような透明な導電材料を堆積しこれをフォトリソ法により所定の形状にパターニングすることにより補助容量素子の上部電極78にコンタクトして形成される。アレ基板83は上述した処理を経て完成する。

【0025】対向基板87の製造工程では、例えば顔料などを分散させた着色層85が例えばガラス板のような光透過性絶縁板84上に形成され、さらに対向電極86が例えばITOのような透明な導電材料をスパッタ法で

この着色層85上に堆積することにより形成される。対向基板87は上述した処理を経て完成する。

【0026】続いて、配向膜88, 89がアレ基板83の画素電極51および対向基板87の対向電極86をそれぞれ全体的に覆って低温キュア型のポリイミドを印刷で塗布し、これらを向い合わせたときにこれらの配向軸が互いに90度の角度をなすようにラビング処理することにより形成される。これら基板83, 87は互いにこれら配向膜88, 89を内側にして向い合わされ、配向膜88, 89の外周がこれらの間隙にセルを構成するように互いに接合され、さらにネマティック液晶90がこのセルに注入される。このセルの封止後、偏光板32, 33がそれぞれ配向膜88, 89とは反対側となる基板83, 87の表面に貼り付けられる。これにより、液晶表示装置が完成する。

【0027】こうして得られた液晶表示装置では、単一のシールド電極SHが静電遮蔽性を持つように信号線Xとこの信号線Xに隣接する2個の画素電極PEに重ねられるため、信号線Xの線幅がシールド電極間隔のような制約要因を考慮せずに決定できる。さらに、シールド電極SHはこの信号線Xに沿ってこれら2個の画素電極PEの一方および他方に交互に重ねられるため、最小配線幅Wminで形成することが可能となる。従って、静電遮蔽性を損うことなく信号線Xの容量負荷の増加を小さく抑え、信号線Xおよびシールド電極SHによって遮光される面積を小さくして高い開口率を実現できる。このため、クロストークや輝度むらが低減された良好な品質で画像を表示することができる。

【0028】図4はシールド電極SHの代りに信号線Xをクランク状に形成した変形例を示す。このような構成でも上述の実施形態と同様の効果が得られる。

【0029】図5はシールド電極SHおよび信号線Xの両方をクランク状に形成した変形例を示す。このような構成にすることによって、さらに高い開口率を得ることができる。また、図6に示すようにシールド電極SHを信号線Xに沿って補助容量線52の両側に延出させても同様の効果が得られる。

【0030】図7は、図1に示すシールド電極SHを前段の走査線Y(62')から延出させて形成した変形例を示す。この走査線Y(62')は画素電極PE(51, 54)を駆動する走査線Y(62)に隣接し画素電極PE(51, 54)の駆動時に補助容量線として対向電極86の電位に設定される。このような構成では、補助容量線52が不要になり、さらに高い開口率を得ることができる。

【0031】以下、本発明の他の実施形態に係るアクティブマトリクス液晶表示装置について図面を参照して説明する。

【0032】図8はこのアクティブマトリクス液晶表示装置において組込まれるアレ基板の画素配線の部分的

平面構造を示し、図9は図8に示すV3-V3線に沿ってアレ基板の断面構造を示し、図10は図8に示すV4-V4線に沿ってアクティブマトリクス液晶表示装置の断面構造を示す。この液晶層表示装置は次に述べることを除いて第1実施形態と同様に構成される。このため、同様部分を同一参照符号で示し、その説明を省略あるいは簡略化する。

【0033】この液晶表示装置は第1実施形態と同様にアレ基板83、対向基板87、および液晶層90を備える。アレ基板83は絶縁板60、複数の画素電極PE、複数の走査線Y、複数の信号線X、駆動回路DR、複数の薄膜トランジスタTR、および配向膜88を含む。対向基板87は絶縁板84、対向電極86、および配向膜89を含む。液晶層90は配向膜88および配向膜89に接触して形成される。

【0034】アレ基板83はさらに各々対応行の画素電極PEを横切って走査線Yと平行に伸び所定電位に固定される複数の補助容量線52並びに各々これら補助容量線52から延出し対応信号線Xとこの対応信号線Xに隣接する2個の画素電極PEとに容量結合される複数のシールド電極SHを含む。各シールド電極SHはこれら2個の隣接画素電極PEの一方および他方に交互に重なるようにこの対応信号線に沿って形成される。

【0035】図8において参照符号53a、53bは複数のシールド電極SHのうちの隣接する2個を表し、参照符号51、54は複数の画素電極PEのうちの隣接する2個を表し、参照符号50a、50bは複数の信号線Xのうちの隣接する2本を表す。例えばシールド電極53aは画素電極54を信号線50aから静電遮蔽するために画素電極54の周縁部に重なる第1部分と、画素電極51を信号線50aから静電遮蔽するために画素電極51の周縁部に重なる第2部分とを含む。また、第2部分はさらに図8に矢印で示す配向膜88の配向方向に対応して発生する液晶のデスクリネーション領域を覆う遮光体としても用いられる。第1部分の長さL1および幅bと第2部分の長さL2および幅aとは、画素電極51および信号線50a間の容量結合と画素電極54および信号線50a間の容量結合とを均等に低減して、これら容量結合に対応する寄生容量の影響を最小限に抑えたと共に液晶のデスクリネーション領域を透過する光を確実に遮るように調整される。

【0036】上述のアレ基板83では、シールド電極SHの幅が液晶のデスクリネーション領域に対応して部分的に広く設定されるため、液晶のデスクリネーション領域を透過する光を確実に遮りながら、画素電極51および信号線50a間の寄生容量、画素電極54および信号線50a間の寄生容量、並びに信号線50aの容量負荷の増大を最小限に抑えることができる。また、信号線50aと画素電極51との間の寄生容量と、信号線50bと画素電極51との寄生容量とがほぼ等しくなるた

め、クロストークや輝度むらが低減された良好な品質の画像を表示することができる。

【0037】図11は、シールド電極SHの代りに信号線Xをクランク状に形成した変形例を示す。このような構成でも上述の実施形態と同様の効果が得られる。

【0038】図12は、図1に示すシールド電極SHを前段の走査線Y(62')から延出させて形成した変形例を示す。この走査線Y(62')は画素電極51、54を駆動する走査線Y(62)に隣接し画素電極PE(51、54)の駆動時に補助容量線として対向電極86の電位に設定される。このような構成では、補助容量線52が不要になり、さらに高い開口率を得ることができる。

【0039】図13は、シールド電極SHを信号線Xの一边側のみにおいて液晶のデスクリネーション領域を覆うように補助容量線52から延出させた変形例を示す。シールド電極SHの長さL1は画素電極PE(51)に隣接する2本の信号線X(50a、50b)の影響が等しくなるように調整される。これにより、図8に示す実施形態と同様の効果を得ることができる。

【0040】図14は第1および第2シールド電極SH(53a、53a')を信号線Xの両辺側において補助容量線52から延出させた変形例を示す。第1シールド電極SH(53a)の長さL1は第2シールド電極SH(53a')の長さL2と異なっている。さらに図15に示すように、第1シールド電極SH(53a)は画素電極PE(51)に重なる幅a'の部分の有し、第2シールド電極SH(53a')は画素電極PE(54)に重なり幅a'と異なる幅b'の部分の有する。このような構成でも、図8に示す実施形態と同様の効果が得られる。

【0041】尚、各実施形態のアクティブマトリクス液晶表示装置では、薄膜トランジスタがポリシリコンの半導体層を用いて構成される。本発明は薄膜トランジスタが例えばアモルファスシリコン等の半導体層を用いて構成されるアクティブマトリクス液晶表示装置にも適用でき、上述の実施形態と同様の効果を得ることができる。

【0042】

【発明の効果】以上のように本発明の液晶表示装置によれば、画素の開口率の低下および信号線の容量負荷の増大を必要とせずに表示画像の品質を向上できる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るアクティブマトリクス液晶表示装置に組込まれるアレ基板の画素配線構造を示す部分的平面図である。

【図2】図1に示すV1-V1線に沿ったアレ基板の断面図である。

【図3】図1に示すV2-V2線に沿って展開された液晶表示装置の断面図である。

【図4】図1に示す画素配線構造の第1変形例を示す平面図である。

【図5】図1に示す画素配線構造の第2変形例を示す平面図である。

【図6】図1に示す画素配線構造の第3変形例を示す平面図である。

【図7】図1に示す画素配線構造の第4変形例を示す平面図である。

【図8】本発明の他の実施形態に係るアクティブマトリクス液晶表示装置に組込まれるアレイ基板の画素配線構造を示す部分的平面図である。

【図9】図8に示すV3-V3線に沿ったアレイ基板の断面図である。

【図10】図8に示すV4-V4線に沿って展開された液晶表示装置の断面図である。

【図11】図8に示す画素配線構造の第1変形例を示す平面図である。

【図12】図8に示す画素配線構造の第2変形例を示す平面図である。

【図13】図8に示す画素配線構造の第3変形例を示す

平面図である。

【図14】図8に示す画素配線構造の第4変形例を示す平面図である。

【図15】図14に示すV5-V5線に沿って展開されたアレイ基板の断面図である。

【図16】従来のアクティブマトリクス液晶表示装置に組込まれるアレイ基板の画素配線構造を示す部分的平面図である。

【図17】図16に示すV6-V6線に沿って展開されたアレイ基板の断面図である。

【符号の説明】

50a, 50b…信号電極

52…補助容量線

51, 54…画素電極

53a, 53b…シールド電極

62…走査線

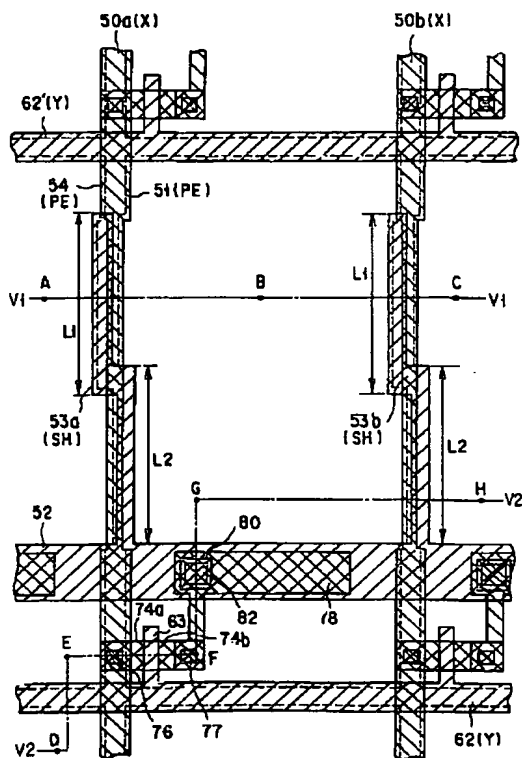
TR…薄膜トランジスタ

83…アレイ基板

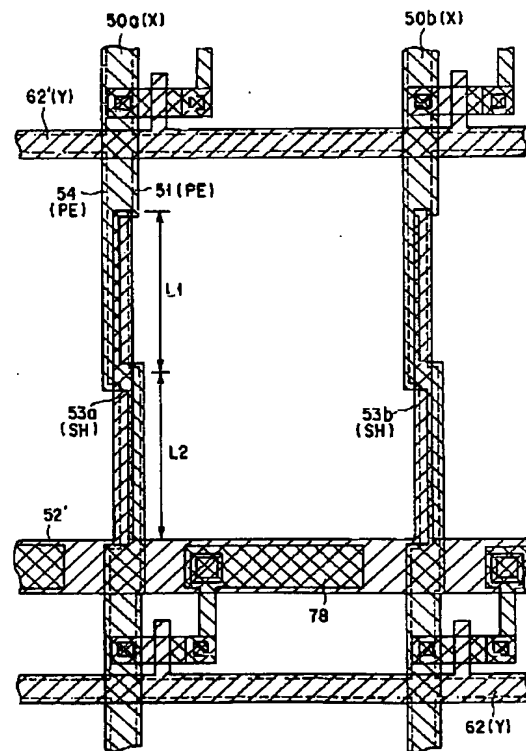
87…対向基板

90…液晶層

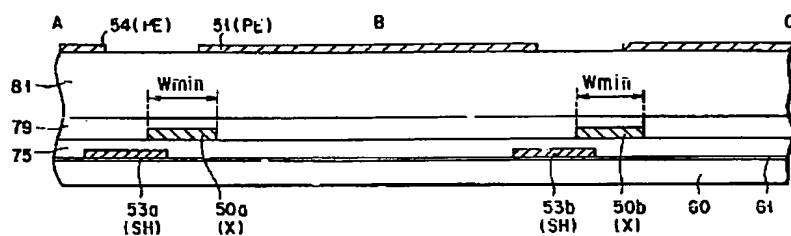
【図1】



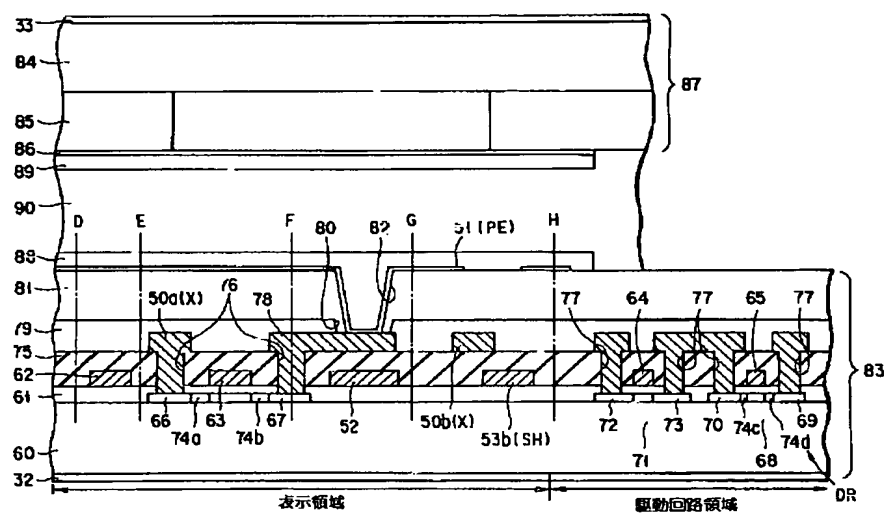
【図4】



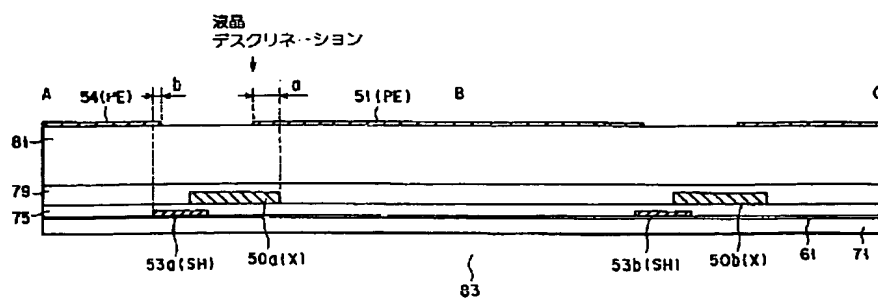
【図2】



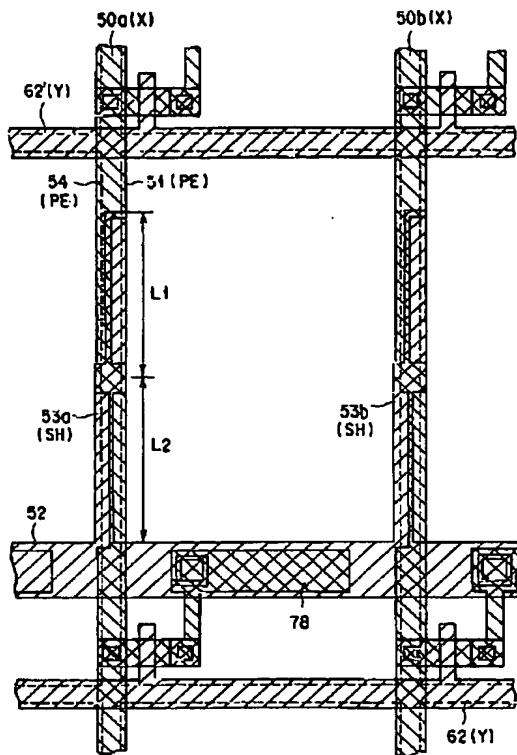
【図3】



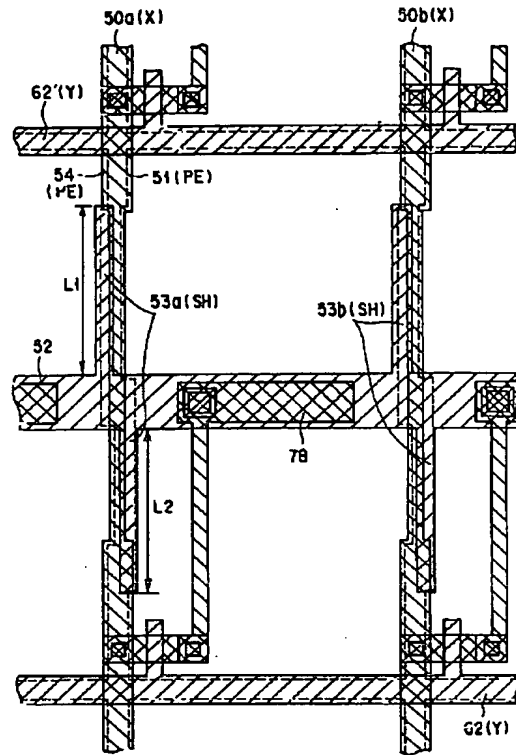
【図9】



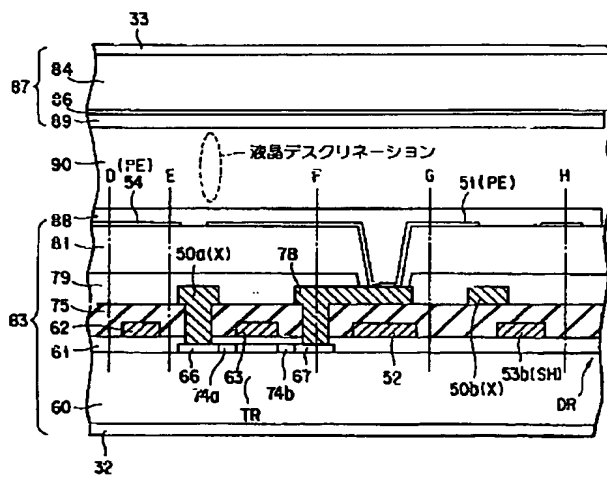
【図5】



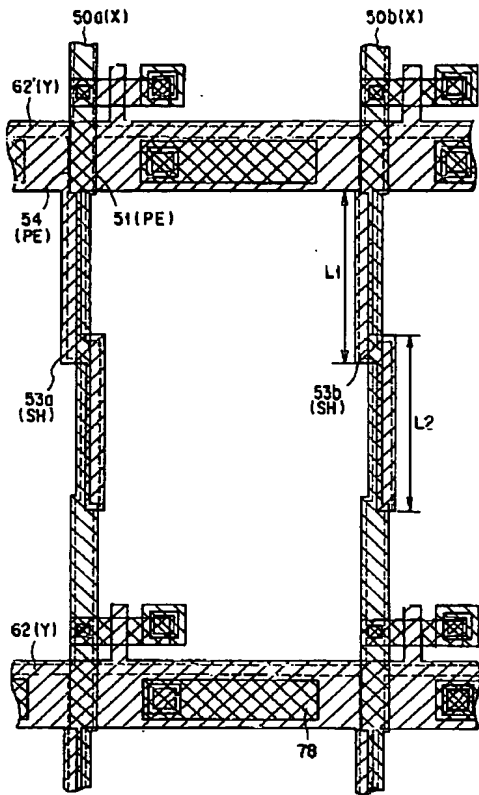
【図6】



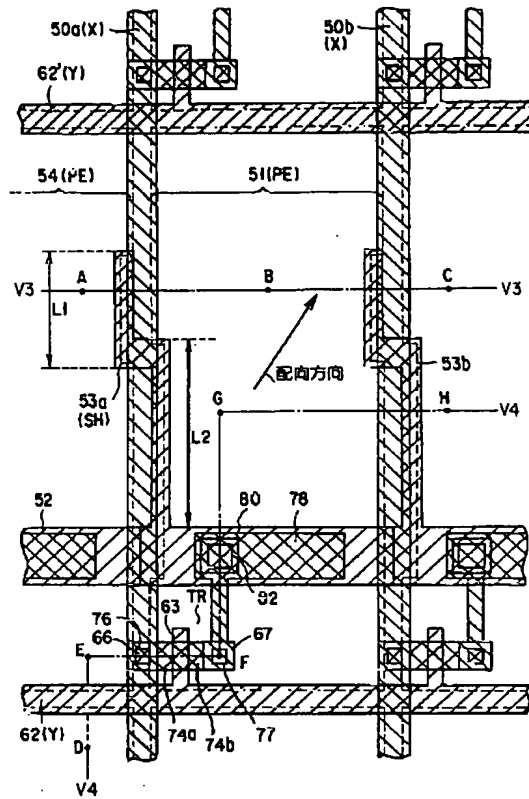
【図10】



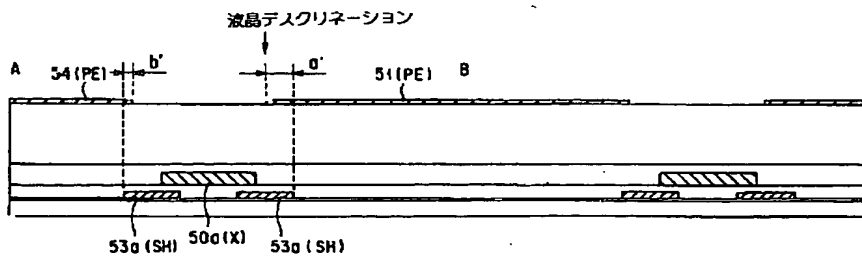
【図7】



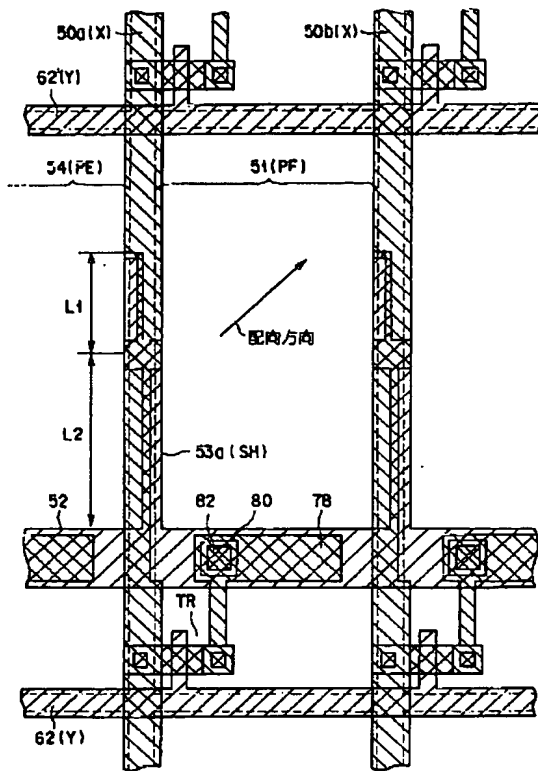
【図8】



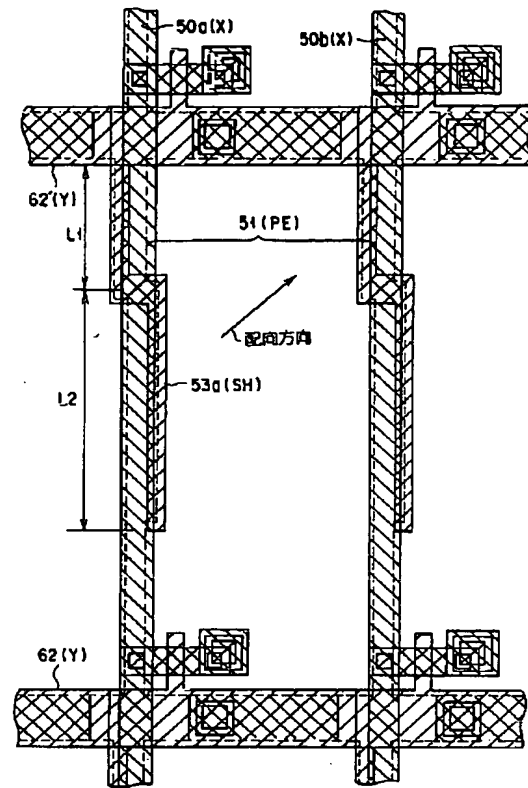
【図15】



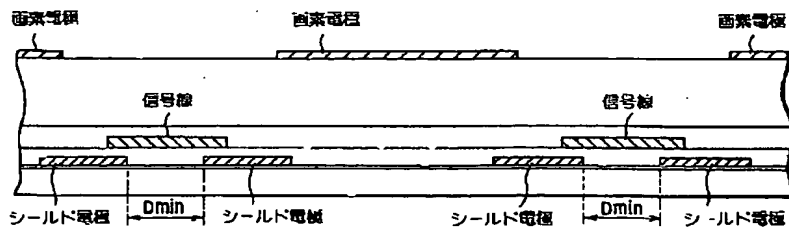
【図 1 1】



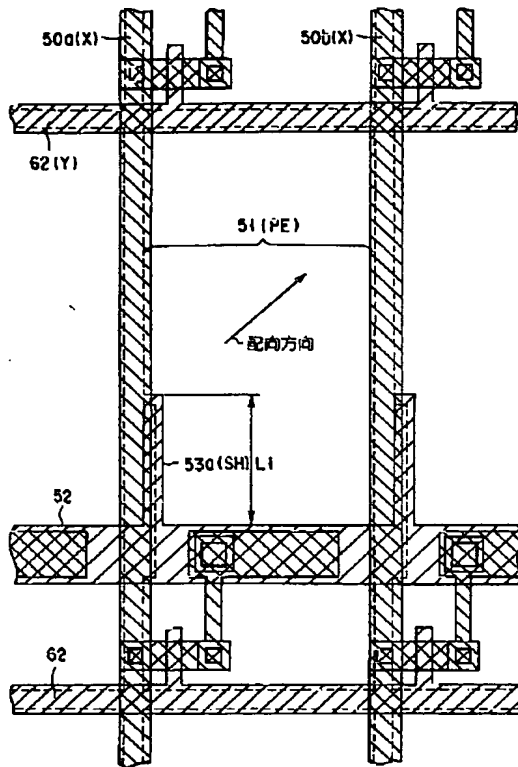
【図 1 2】



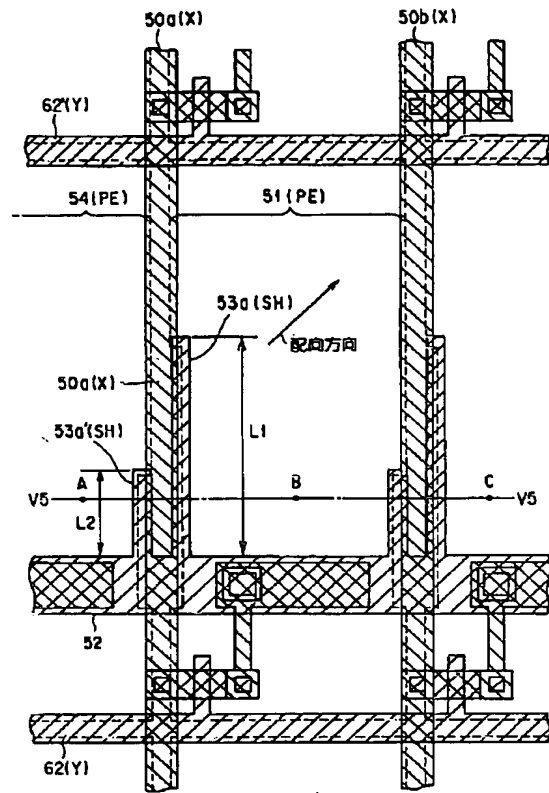
【図 1 7】



【図 1 3】



【図 1 4】



【図16】

